

Requested Patent: JP63300570A

Title:

MANUFACTURE OF GALLIUM ARSENIDE HYPER ABRUPT VARACTOR DIODE ;

Abstracted Patent: JP63300570 ;

Publication Date: 1988-12-07 ;

Inventor(s): SUGIKI TADASHI ;

Applicant(s): NEC CORP ;

Application Number: JP19870137232 19870529 ;

Priority Number(s): ;

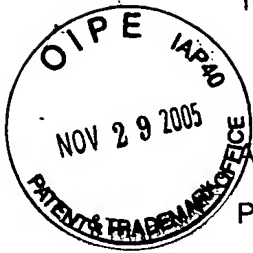
IPC Classification: H01L29/93 ;

Equivalents: JP1969092C, JP6105788B ;

ABSTRACT:

PURPOSE: To eliminate the increase of a capacity larger than a designed value and to prevent a reverse current from increasing by using a CVD nitride film having a specific thickness as a Zn diffusing mask.

CONSTITUTION: An epitaxial n type layer 12 and an epitaxial n type layer 13 having 3-5X10cm of electron concentration are sequentially formed on a low specific resistance GaAs substrate 11. Then, Si double charge ions are implanted by a PR method. Thereafter, the substrate is covered with a CVD oxide film 16, annealed at 800 deg.C of high temperature, and silicon ions are activated to form an n-type ion implanted layer 17. Then, the CVD oxide film is entirely removed, a CVD nitride film 18 having 650-1000Angstrom of thickness is formed on the substrate, and a diffusing window 19 is formed by a PR method. Subsequently, Zn is diffused at 500-750 deg.C, such as 610 deg.C for 2 hours by a tube closing method in a quartz tube to form a P type diffused layer 110. Then, after the whole CVD nitride film is removed, a CVD film 111 is formed, and an oxide film opening 112 is formed by a PR method. Thereafter, an electrode 113 is formed by a depositing method or the PR method.



⑫ 公開特許公報(A)

昭63-300570

⑤ Int. Cl.⁴
H 01 L 29/93識別記号 庁内整理番号
H-7638-5F

④ 公開 昭和63年(1988)12月7日

審査請求 未請求 発明の数 1 (全5頁)

⑬ 発明の名称 砒化ガリウム超階段バラクタダイオードの製造方法

⑭ 特 願 昭62-137232

⑮ 出 願 昭62(1987)5月29日

⑯ 発 明 者 杉 木 忠 東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑱ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

砒化ガリウム超階段バラクタダイオードの製造方法

特 許 請 求 の 範 囲

砒化ガリウム半導体基板に $3 \sim 5 \times 10^{15} \text{cm}^{-3}$ の電子濃度を有する n^- 層を形成する工程と、 n^- 層を形成した前記基板にPR法とイオン注入法を用いてシリコンイオンを注入する工程と、該基板をCVD酸化膜でおおった後800℃程度で高温アニールしてシリコンを活性化せしめ n イオン注入層を形成する工程と、前記CVD酸化膜を前面除去した後前記基板上に厚さ650～1000ÅのCVD窒化膜を形成し、PR法により選択的に拡散窓を形成する工程と、石英封管中で閉管法により500～750℃でZnを拡散して P^+ 拡散層を形成する工程と、CVD窒化膜を

全面除去し、該基板上にCVD酸化膜を形成する工程と、該CVD酸化膜にPR法で開孔部を設けた後蒸着法、PR法により電極を形成する工程とを含むことを特徴とする砒化ガリウム超階段バラクタダイオードの製造方法。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は砒化ガリウム超階段バラクタダイオードの製造方法に関する。

〔従来の技術〕

砒化ガリウム超階段バラクタ(以下GaAs超階段バラクタと呼ぶ)は第3図に示すように低比抵抗 n^+ 基板31の上に例えば気相成長法により基板と同導電型で低比抵抗のエピタキシャル n^+ 層32、同じく基板と同導電型で電子濃度が $3 \sim 5 \times 10^{15} \text{cm}^{-3}$ 程度のエピタキシャルの n^- 層33を順次形成し、イオン注入法により基板と同導電型の n イオン注入層34を形成し、拡散法に

より基板と逆導電型で高濃度なP⁺拡散層35を形成し、この半導体基板上に金属電極36を蒸着法、PR法、イオンミリング法により形成した後、PR法及び化学的蝕刻法によりメサ部37を形成することによりP-n接合部を形成しこの接合にかける逆方向電圧による空乏層の厚さ即ち接合容量の変化を利用している。

(発明が解決しようとする問題点)

上述した従来のGaAs超階段バラクタの構造はメサ形で保護膜が無いため例えばチップで使用する場合IC基板にマウント、ボンディングする際にメサの肩部が機械的、物理的な力により傷付いたり割れたりするため特性変化をもたらしたり信頼度が悪くなったりするという欠点がある。又、パッケージに組込む場合にも同様な不具合が生ずる。

又、容量のコントロール性の向上や、リーク電流による信頼度低下が少く、二重ブレイクダウン等による逆方向電流の増加を防ぐことができるより優れた砒化ガリウム超階段バラクタダイオード

の製造方法が望まれていた。

本発明の目的は、物理的、機械的に強く傷付いたり割れたりすることがなく、それによる特性変化や信頼度低下を生ずることがなく、かつ従来のものより容量のコントロール性がよく、リーク電流がすくなく、かつ二重ブレイクダウン等による逆方向電流の増加も防ぐことができる砒化ガリウム超階段バラクタダイオードの製造方法を提供することにある。

上述した従来のメサ形で保護膜の無いGaAs超階段バラクタダイオードの製造技術ではウェーハ全面にP-n接合を形成してからPR法と化学的又は機械的な蝕刻法により電気的特性を決める大きさにP-n接合面積をコントロールするという方法をとっている。これに対し本発明では650~1000Åの厚さを有するCVD窒化膜をマスクにP-n接合を形成するという方法をとっている。

(問題点を解決するための手段)

本発明の砒化ガリウム超階段バラクタダイオー

ドの製造方法は、砒化ガリウム半導体基板に $3 \sim 5 \times 10^{15} \text{ cm}^{-3}$ の電子濃度を有するn⁻層を形成する工程と、n⁻層を形成した前記基板にPR法とイオン注入法を用いてシリコンイオンを注入する工程と、該基板をCVD酸化膜でおおった後800℃程度で高温アニールしてシリコンを活性化せしめnイオン注入層を形成する工程と、前記CVD酸化膜を前面除去した後前記基板上に厚さ650~1000ÅのCVD窒化膜を形成し、PR法により選択的に拡散窓を形成する工程と、石英封管中で閉管法により500~750℃でZnを拡散してP⁺拡散層を形成する工程と、CVD窒化膜を全面除去し、該基板上にCVD酸化膜を形成する工程と、該CVD酸化膜にPR法で開孔部を設けた後蒸着法、PR法により電極を形成する工程とを含んで構成される。

(実施例)

次に、本発明について図面を参照して説明する。第1図(a)~(f)は本発明の一実施例を

説明するために工程順に示した半導体素子の縦断面図である。

まず、第1図(a)に示すように $2 \sim 3 \times 10^{18} \text{ cm}^{-3}$ の電子濃度を有する低比抵抗GaAs基板11上に、 $3 \sim 5 \mu\text{m}$ の層厚で $1 \sim 3 \times 10^{18} \text{ cm}^{-3}$ の電子濃度を有するエピタキシャルn⁺層12と $2.5 \sim 3.5 \mu\text{m}$ の層厚で $3 \sim 5 \times 10^{15} \text{ cm}^{-3}$ の電子濃度を有するエピタキシャルn⁻層13とを順次形成する。

次に、第1図(b)に示すように、PR法によりイオン注入マスクとなるフォトレジスト14とフォトレジスト開孔部15を形成した後S1のダブルチャージイオンを350keVで 10^{13} cm^{-2} 打ち込む。

次に、第1図(c)に示すように、この基板の表面をCVD酸化膜16で覆ったのち800℃で高温アニールをすることによりシリコンイオンを活性化せしめnイオン注入層17を形成する。

次に、第1図(d)に示すように、CVD酸化

膜を全面除去してこの基板の表面に厚さ650～1000ÅのCVD窒化膜18を形成した後、PR法により拡散窓19を形成する。次に、石英管による真空封止を行い閉管法によりZnを610℃で2時間ほど拡散してP⁺拡散層110を形成し、P-n接合面からn⁻層に向かって電子濃度がなだらかに減少し、かつP-n接合近傍のn層電子濃度とn⁻層のうちP-n接合から充分離れたところの部分の電子濃度との比が5～15程度に変化する如くして、ゆるやかな傾斜を有する電子濃度を持たせる。

次に、CVD窒化膜を化学的に全面エッチングして除去した後、CVD法により4500～5000Åの厚さのCVD膜111を形成し、PR法により酸化膜開孔部112を設ける。

次に、第1図(f)に示すように、蒸着法、PR法により電極113を形成する。

前述した第1の実施例では縦方向で動作するGaAs超階段バラクタダイオードの製造方法について述べた。次に横方向で動作するGaAs超

階段バラクタダイオードの製造方法について説明する。

第2図(a)～(e)は本発明の他の実施例を説明するために工程順に示した素子の断面図である。

まず、第2図(a)、(b)に示すように、高比抵抗GaAs基板21の上にエピタキシャル法により電子濃度 $3\sim 5\times 10^{15}\text{cm}^{-3}$ で所望の厚さのエピタキシャルn⁻層22を形成する。これにPR法によりフォトレジスト23を開孔部24を設けてSiのイオン注入し、更にPR法によりフォトレジスト25を開孔部26を設けてSiのイオン注入を行う。

次に、第2図(c)に示すように、レジストを除去した後この半導体基板上をCVD酸化膜27で覆ったのち800℃で高温アニールをすることによりSiイオンを活性化せしめ厚さがn⁻層より少し厚いnイオン注層28と厚さがn⁻層の半分位のn⁺イオン注層29を形成する。

次に、第2図(d)に示すように、CVD酸化膜27を全面除去して、この基板の表面に厚さ650～1000ÅのCVD窒化膜210を形成した後PR法により拡散窓211を形成する。次に、石英管により真空封止を行い、閉管法によりZnを610℃で所望の時間拡散して厚さがnイオン注層28よりやや薄いP⁺拡散層212を形成する。

次に、第2図(e)に示すように、CVD窒化膜を化学的に全面エッチングして除去した後CVD法により4500～5000Åの厚さのCVD酸化膜213を形成しPR法により開孔部214、215を設けた後蒸着法、PR法により電極216、217を形成する。

この実施例では構型のGaAs超階段バラクタであるためビームリード素子にも適用でき、浮遊容量の少ないGaAs超階段バラクタチップのハイブリッドIC基板への直接搭載が可能となる。またn⁻層22をイオン注入で形成すれば現在開発が進められているGaAsモノリシックICへ

の応用を考えた場合従来の縦型ダイオードでは配線が難しい欠点を有していたが、この点が改善されるのは、大きな利点である。

〔発明の効果〕

以上説明したように本発明では、まず、Znの拡散マスクとして厚さ650～1000ÅのCVD窒化膜を使用しているため拡散の横ひろがり量が少なく容量が設計値より大きくならない(制御性はよく容量をコントロールできる)。

次に、厚さ650～1000ÅのCVD窒化膜をZn拡散マスクとして用いることにより形成されたダイオードの逆方向耐圧がハードになりリーク電流により信頼度低下や二重ブレイクダウン等による逆方向電流の増加を防ぐことができる。

又、本発明によるダイオードはプレーナ構造となっておりメサ形に比べ、物理的、機械的な力に強くピンセット等によってチップの移動をする際に傷が付きにくくハイブリッドIC基板へのチップの直接搭載が可能である。

又、構型のGaAs超階段バラクタの製造も可

能になるので、ビームリードタイプでも基板への搭載が可能であるし、GaAs集積回路として他の素子と同一チップ上で製造することもでき、又、その上での配線も容易である。

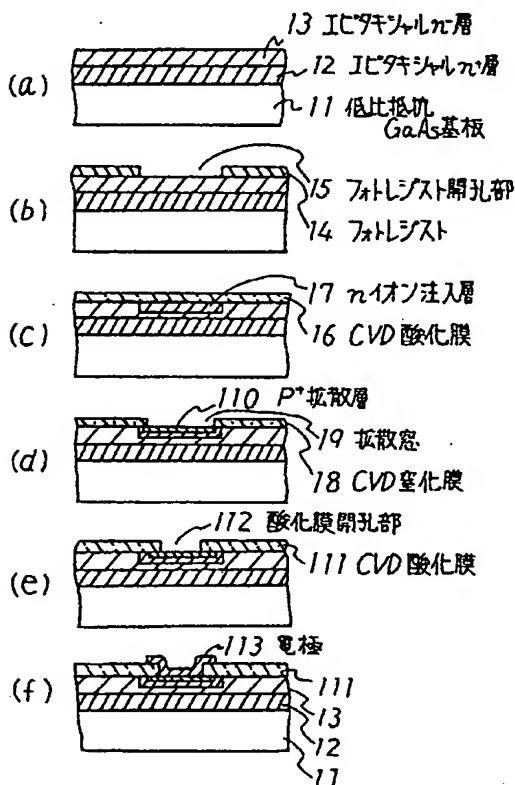
図面の簡単な説明

第1図(a)～(f)は本発明の一実施例を説明するために工程順に示した素子の断面図、第2図(a)～(e)は本発明の他の実施例を説明するために工程順に示した素子の断面図、第3図は従来のGaAs超階段バラクタダイオードの断面図である。

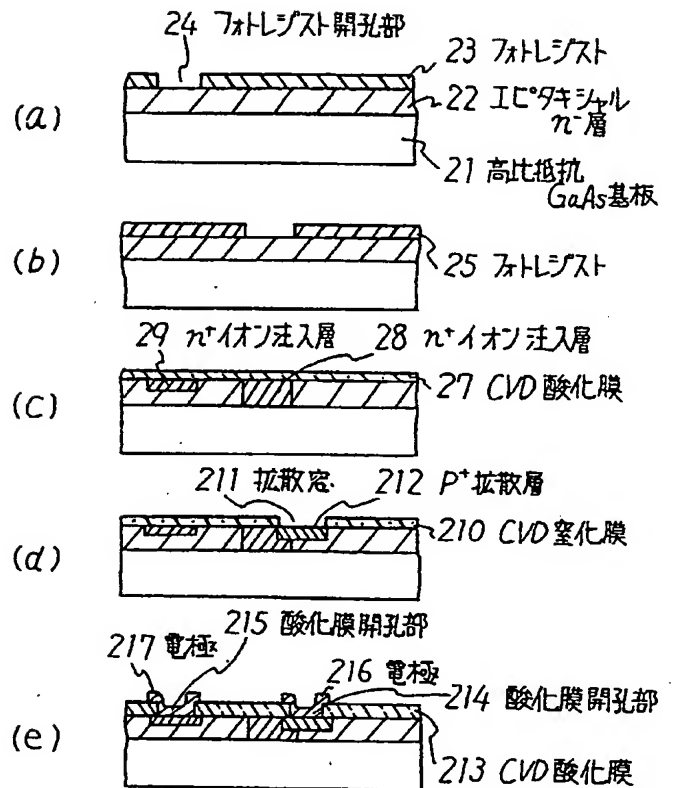
11, 31…低比抵抗GaAs基板、12, 32…エピタキシャル n^+ 層、13, 22, 33…エピタキシャル n^- 層、14, 23, 25…フォトリジスト、15, 24, 26…フォトリジスト開孔部、16, 111, 27, 213…CVD酸化膜、17, 28, 34… n イオン注入層、18, 210…CVD窒化膜、19, 211…拡散窓、110, 212, 35… P^+ 拡散層、

21…高比抵抗GaAs基板、112, 214, 215…酸化膜開孔部、29… n^+ イオン注入層、13, 113, 216, 217…電極、37…メサ部。

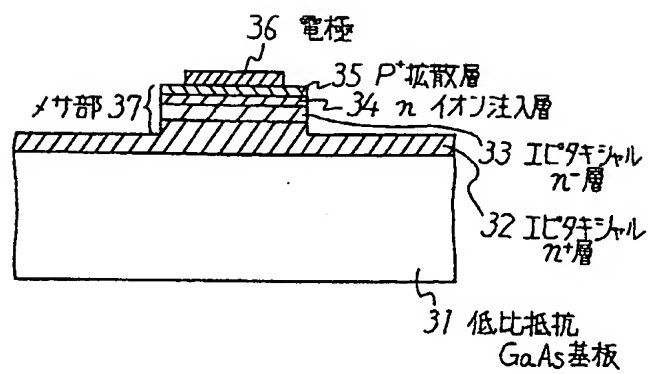
代理人 弁理士 内 原 晋



第1図



第2図



第 3 図